

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-077483

(43)Date of publication of application : 18.03.1994

(51)Int.Cl.

H01L 29/784
G02F 1/136

(21)Application number : 04-107203

(71)Applicant : NEC CORP

(22)Date of filing : 27.04.1992

(72)Inventor : KANEKO WAKAHIKO

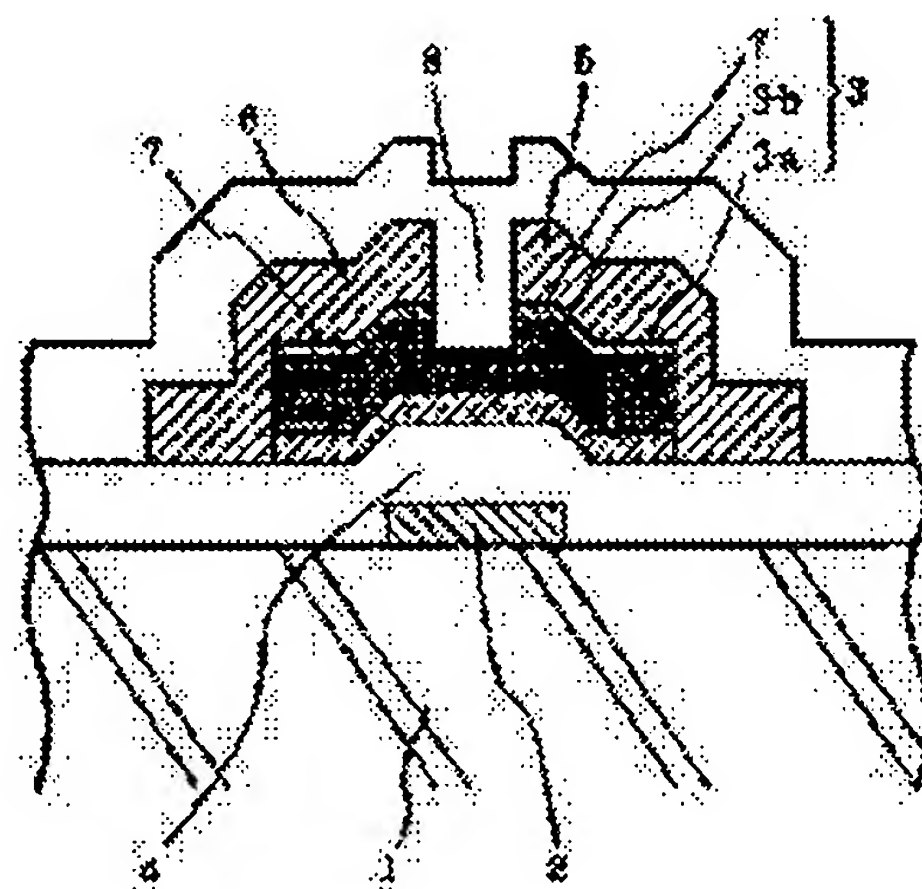
(54) THIN-FILM TRANSISTOR AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To enhance the transistor characteristic and the throughput of the title transistor by a method wherein an island layer is formed as a composite-layer structure composed of a first amorphous silicon film whose film quality is good and of a second amorphous silicon film whose film formation speed is fast.

CONSTITUTION: A silicon nitride film 4 used for a gate insulating film, a first amorphous silicon film 3-a, a second amorphous silicon film 3-b and an n-type amorphous silicon film 7 are formed continuously in a vacuum. Then, the first and second amorphous silicon films 3-a, 3-b and the n-type amorphous silicon film 7 are worked to be a prescribed pattern on a gate electrode and other required parts, and an island layer 3 is formed.

Then, in order to form a channel, the n-type amorphous silicon film 7 and the second amorphous silicon film 3-b are removed together. The digging depth of an etching operation has a distribution of about $\pm 50\text{nm}$. A layer to be used as a digging margin is formed at high speed and the time for a film formation is shortened. Thereby, it is possible to form a thin-film transistor whose throughput is not spoiled and whose characteristic is good.



LEGAL STATUS

[Date of request for examination]

28.03.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2924441

[Date of registration] 07.05.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-77483

(43)公開日 平成6年(1994)3月18日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
G 0 2 F 1/136	5 0 0	9225-2K 9056-4M	H 0 1 L 29/ 78	3 1 1 H

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平4-107203

(22)出願日 平成4年(1992)4月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 金子 若彦

東京都港区芝五丁目7番1号日本電気株式
会社内

(74)代理人 弁理士 京本 直樹 (外2名)

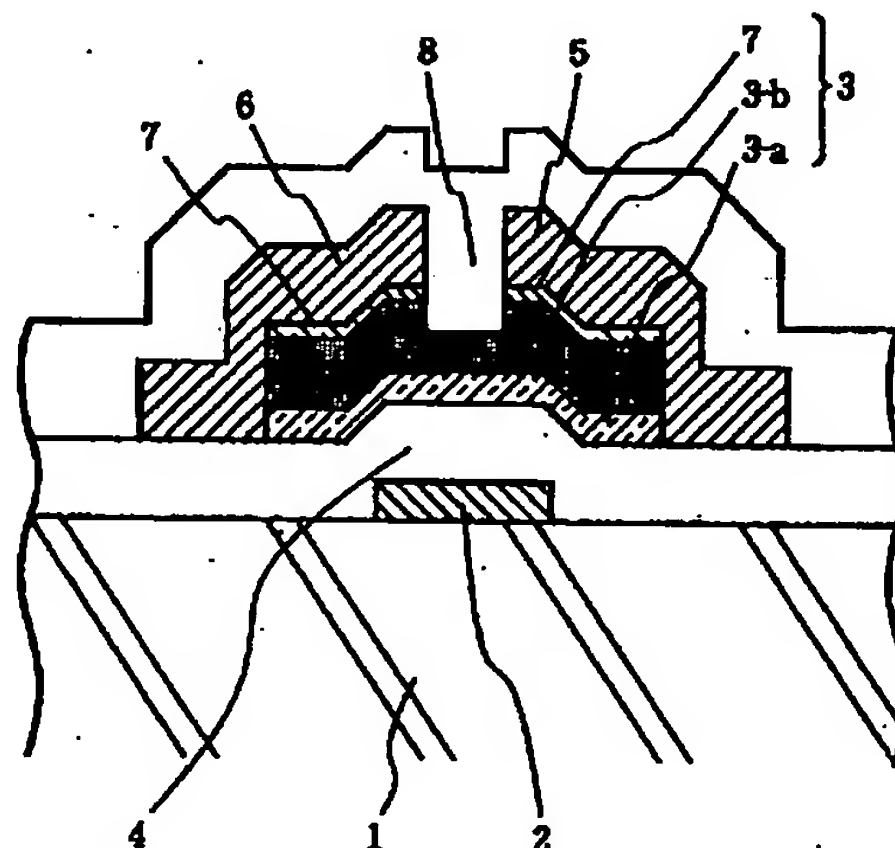
(54)【発明の名称】 薄膜トランジスタ及びその製造方法

(57)【要約】

【目的】チャネル掘込型薄膜トランジスタの特性向上とスループット改善を両立する。

【構成】前述のチャネル掘込型薄膜トランジスタにおける半導体層(アイランド層)を2層構造とし、動作特性に対する寄与の大きい下層(ゲートSiN_x膜に接する層)のa-Si膜は膜質の良い成膜条件で成膜し、膜質の影響は小さいがスループットへの影響が大きい上層の厚いa-Si膜は堆積速度の速い成膜条件で成膜する。

【効果】薄膜トランジスタのオン特性が改善され、しかも成膜時間が短くなるのでスループットが向上する。



1: ガラス基板
2: ゲート電極
3a: 第1アモルファスシリコン層
3b: 第2アモルファスシリコン層
4: ゲート絶縁膜
5: ソース電極
6: ドレイン電極
7: オーミックコンタクト層
8: パッシベーション膜

【特許請求の範囲】

【請求項1】 絶縁基板上にゲート電極、ゲート絶縁膜、島状に加工したアモルファスシリコン半導体層、オーミックコンタクト層、ソース及びドレイン電極を順次積層、パターニングしチャネル部分のオーミックコンタクト層をエッチング除去した後バシベーション膜を積層、パターニングして形成される逆スタガー型チャネル掘込み構造薄膜トランジスタにおいて、前記アモルファスシリコン半導体層を複数の異なる膜質のアモルファスシリコン膜の積層構造とした事を特徴とする薄膜トランジスタ。

【請求項2】 請求項1記載の薄膜トランジスタにおいて、前記アモルファスシリコン半導体層のゲート絶縁膜に接する側のアモルファスシリコン膜厚が50nm以上である事を特徴とする薄膜トランジスタ。

【請求項3】 絶縁基板上にゲート電極3ゲート絶縁膜、島状に加工したアモルファスシリコン半導体層、オーミックコンタクト層、ソース及びドレイン電極を順次積層、パターニングしチャネル部分のオーミックコンタクト層をエッチング除去した後バシベーション膜を積層、パターニングして逆スタガー型チャネル掘込み構造薄膜トランジスタを製造する方法において、高周波放電出力0.01W/cm²以下の低パワー且つ成膜圧力70Pa以下且つSiH₄/H₂流量比1:10以上の高水素希釈率条件のプラズマCVD法でアモルファスシリコン膜を形成し、その上に高周波放電出力0.03W/cm²以上の高パワー条件且つ成膜圧力120Pa以上且つSiH₄/H₂流量比1:3以下の低水素希釈率条件のプラズマCVD法でアモルファスシリコン膜を積層して2層構造の前記アモルファスシリコン半導体層を形成する事を特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアモルファスシリコンを用いた薄膜トランジスタの構造に関し、特にアクティブマトリクス型液晶ディスプレイの駆動用素子として用いられる薄膜トランジスタに関する。

【0002】

【従来の技術】従来の薄膜トランジスタの構造を図3に示す。

【0003】ガラス等の絶縁基板1上にアルミ、クロム、タンタル等の金属をスパッタ法により成膜し、これをフォトリソグラフィとウェットエッチングの方法によりゲート電極2にパターニングする。

【0004】次にアモルファス窒化シリコン膜等のゲート絶縁膜(500nm)と、アモルファスシリコン膜(300nm)3と、リンをドーパしたn型アモルファスシリコン膜(60nm)7をプラズマCVD法により真空中で連続成膜する。この時アモルファスシリコン膜の成膜条件はSiH₄=30SCCM、H₂=200S

CCM、圧力=100Pa、高周波放電出力=0.01W/cm²で成膜時間は約45分である。

【0005】次にアモルファスシリコンとn型アモルファスシリコン膜をフォトリソグラフィとドライエッチングの方法により島状に加工してアイランド層3及びオーミックコンタクト層7を形成し、さらに窒化シリコン膜4も同様の方法により電極接続用のコンタクトホール(図示省略)を形成する。その後、これらの上に再度アルミ、クロム等の金属を成膜しこれをフォトリソグラフィの方法によりソース電極5及びドレイン電極配線6をパターニングする。

【0006】次にチャネル形成のため、ゲート電極2上のアイランド層上に残ったn型アモルファスシリコン膜をドライエッチング法により除去する(以下、チャネルエッチングと称する)。このときn型アモルファスシリコン膜7の除去が十分でないと薄膜トランジスタがOFF動作出来なくなるため、アモルファスシリコン層3まで掘込む必要がある。

【0007】最後に掘込んだチャネルを保護するためのバシベーション膜8として窒化シリコン膜をプラズマCVD法により成膜し電極接続用のコンタクトホール(図示省略)をフォトリソグラフィの方法により形成してこの薄膜トランジスタは完成する。

【0008】

【発明が解決しようとする課題】上述の薄膜トランジスタはチャネルエッチングにおける掘込み深さとそのばらつきを考慮して、アモルファスシリコンの膜厚を必要膜厚に掘込みマージンを加えたかなり厚いものを用いている。そのため、成膜時間が長くなりスループットが低下すると言う問題点があった。

【0009】

【課題を解決するための手段】本発明の薄膜トランジスタとその製造方法は、以下に示す特徴を持つ。

(1) 絶縁基板上にゲート電極、ゲート絶縁膜、島状に加工したアモルファスシリコン半導体層、オーミックコンタクト層、ソース及びドレイン電極を順次積層、パターニングしチャネル部分にオーミックコンタクト層をエッチング除去した後バシベーション膜を積層、パターニングして形成される逆スタガー型チャネル掘込み構造薄膜トランジスタにおいて、前記アモルファスシリコン半導体層を複数の異なる膜質のアモルファスシリコン膜の積層構造とする。

(2) 前記の内容に加え、前記アモルファスシリコン半導体層のゲート絶縁膜に接する側のアモルファスシリコン膜厚が50nm以上である。

(3) 高周波放電出力0.01W/cm²以下の低パワー且つ成膜圧力70Pa以下且つSiH₄/H₂流量比1:10以上の高水素希釈率条件のプラズマCVD法でアモルファスシリコン膜を形成し、その上に高周波放電出力0.03W/cm²以上の高パワー条件且つ成膜圧

力120Pa以上且つ SiH_4/H_2 流量比1:3以下の低水素希釈率条件のプラズマCVD法でアモルファスシリコン膜を積層して2層構造のアモルファスシリコン半導体層を形成する。

【0010】

【作用】アモルファスシリコン半導体層を複層化し、チャネル界面に接する層は良質のアモルファスシリコンを十分時間をかけて成膜し、その上のチャネルエッチングの掘込みマージンとなる層は高速に成膜して成膜時間を短縮することにより、スループットを損なわずに特性の10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50

【0011】

【実施例】次に本発明について図面を参照して説明する。図1は本発明の一実施例である薄膜トランジスタの縦断面図である。

【0012】厚さ約1mmの低アルカリガラス基板1上に金属クロム(100nm)をスパッタ法で成膜しこれをフォトリソグラフィとウエットエッチングの方法により所定のパターンに加工してゲート電極(配線)2を形成する。

【0013】次にプラズマCVD法によりゲート絶縁膜用の窒化シリコン膜(500nm)4、第1アモルファスシリコン膜(100nm)3-a、第2アモルファスシリコン膜(200nm)3-b、オーミックコンタクト層となるn型アモルファスシリコン膜(60nm)7を真空中で連続成膜する。この時、第1アモルファスシリコン膜3-aの成膜条件は $\text{SiN}_4 = 20\text{SCCM}$ 、 $\text{H}_2 = 200\text{SCCM}$ 、圧力=60Pa、高周波放電出力=0.01W/cm²、第2アモルファスシリコン膜3-bの成膜条件は $\text{SiH}_4 = 100\text{SCCM}$ 、 $\text{H}_2 = 200\text{SCCM}$ 、圧力=100Pa、高周波放電出力=0.03W/cm²とする。

【0014】次に第1、第2アモルファスシリコン膜及びn型アモルファスシリコン膜をフォトリソグラフィとドライエッチングの方法によりゲート電極2及びその他必要な部分上に所定のパターンに加工してアイランド層3を形成する。そして残った窒化シリコン膜の所定の位置にフォトリソグラフィとドライエッチングの方法により電極接続用のコンタクトホール(図示省略)を開けてゲート絶縁層4を形成する。この上に電極材として金属クロム膜(200nm)をスパッタ法により成膜しフォトリソグラフィとドライエッチングの方法により所定のパターンに加工してソース電極5及びドレイン電極6を形成する。

【0015】次にチャネル形成のため、ゲート電極上部のアイランド層上に残ったn型アモルファスシリコン膜7を除去するため、ソース電極及びドレイン電極をマスクとしてドレインエッチング法によりn型アモルファスシリコン膜と第2アモルファスシリコン膜を合せて約150nm除去する。エッチングの掘込み深さは±50nm

m程度の分布を持つが、前述のアモルファスシリコン膜厚の設定により残りのアモルファスシリコン膜厚はトランジスタの特性を維持するのに十分な厚みを残している。ソース電極5及びドレイン電極6の下に残ったn型アモルファスシリコン膜はオーミックコンタクト層7となる。

【0016】最後に掘込んだチャネルを保護するためのバシベーション膜8として窒化シリコン膜をプラズマCVD法により成膜しその後に電極接続用のコンタクトホール(図示省略)をフォトリソグラフィの方法により所定の位置に形成してこの薄膜トランジスタは完成する。

【0017】本実施例による薄膜トランジスタの動作特性を図4に示す。本発明による薄膜トランジスタでは第1アモルファスシリコン膜に良質の膜を用いた事により従来例に比べて移動度の高い良好なトランジスタ特性を示す。また、従来例におけるアモルファスシリコン膜の成膜時間は約45分かかるが本実施例では第1アモルファスシリコン膜の成膜時間が約17分、第2アモルファスシリコン膜の成膜時間が約5分の合計23分と大幅な短絡が可能となる。

【0018】本発明におけるその他の実施例を図面を参照して説明する。図2は本発明の他の実施例である薄膜トランジスタの縦断面図である。

【0019】厚さ約1mmの低アルカリガラス基板1上に金属クロム(100nm)をスパッタ法で成膜しこれをフォトリソグラフィとウエットエッチングの方法により所定のパターンに加工してゲート電極(配線)2を形成する。

【0020】次にプラズマCVD法によりゲート絶縁膜用の窒化シリコン膜(500nm)4、第1アモルファスシリコン膜(100nm)3-a、第2アモルファスシリコン膜(200nm)3-b、n型アモルファスシリコン膜(60nm)7を真空中で連続性膜する。この時、第1アモルファスシリコン膜の成膜条件は $\text{SiH}_4 = 20\text{SCCM}$ 、 $\text{H}_2 = 200\text{SCCM}$ 、圧力=60Pa、高周波放電出力=0.01W/cm²、第2アモルファスシリコン膜の成膜条件は $\text{SiH}_4 = 100\text{SCCM}$ 、 $\text{H}_2 = 200\text{SCCM}$ 、圧力=100Pa、高周波放電出力=0.03W/cm²とする。

【0021】次に第1、第2アモルファスシリコン膜及びn型アモルファスシリコン膜をフォトリソグラフィとドライエッチングの方法によりゲート電極2及びその他必要な部分上に所定のパターンに加工してアイランド層3を形成する。そして残った窒化シリコン膜の所定の位置にフォトリソグラフィとドライエッチングの方法により電極接続用のコンタクトホール(図示省略)を開けてゲート絶縁層4を形成する。この上に電極材として金属クロム膜(200nm)をスパッタ法により成膜しフォトリソグラフィとドライエッチングの方法により所定のパターンに加工してソース電極5及びドレイン電極6を

形成する。

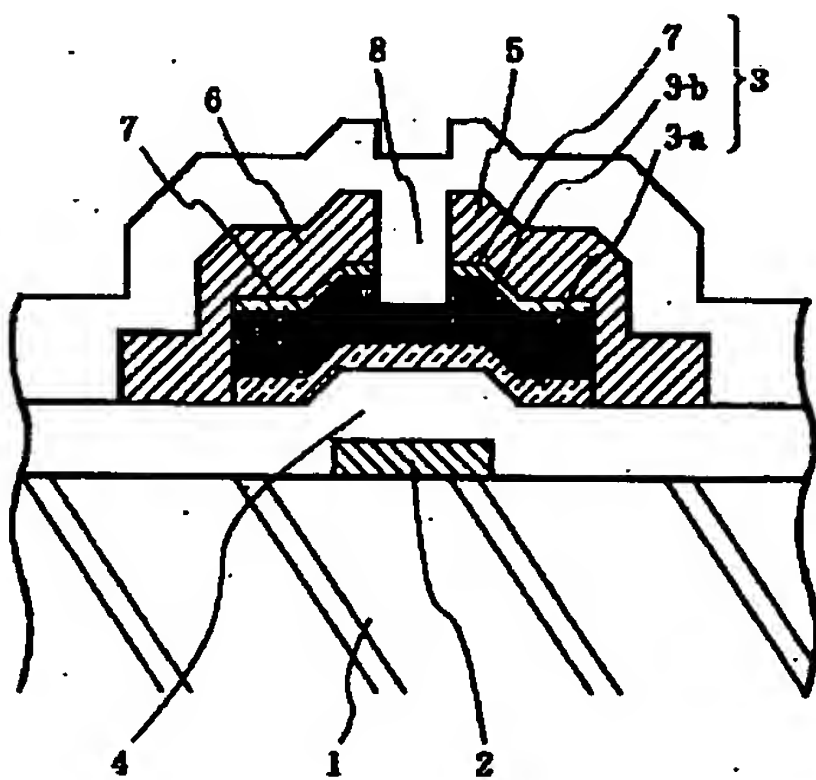
【0022】次にチャネル形成のため、ゲート電極上部のアイランド層上に残ったn型アモルファスシリコン膜を除去するため、ソース電極5及びドレイン電極6をマスクとしてドライエッチング法によりn型アモルファスシリコン膜と第2アモルファスシリコン膜を合せて約150nm除去する。エッチングの掘込み深さは±50nm程度の分布を持つが前述のアモルファスシリコン膜厚の設定により残りのアモルファスシリコン膜厚はトランジスタの特性を維持するのに十分な厚みを残している。

ソース電極及びドレイン電極の下に残ったn型アモルファスシリコン膜はオーミックコンタクト層7となる。

【0023】最後に掘込んだチャネルを保護するためのパシベーション膜8をつける。成膜はプラズマCVDにより行うが窒化シリコン膜成膜前にH₂ガスだけをソースガスとして圧力=100Pa、高周波放電出力=0.02W/cm²の条件でプラズマ放電し、チャネルエッチング後のアモルファスシリコン表面10を処理し連続して真空中で窒化シリコン膜を成膜する。その後に電極接続用のコンタクトホール(図示省略)をフォトリソグラフィの方法により所定の位置に形成してこの薄膜トランジスタは完成する。

【0024】本実施例ではチャネルエッチングによるアモルファスシリコン膜へのダメージが緩和されるため特性安定性が向上するという効果がある。

【図1】



- 1: ガラス基板
- 2: ゲート電極
- 3a: 第1アモルファスシリコン層
- 3b: 第2アモルファスシリコン層
- 4: ゲート絶縁膜
- 5: ソース電極
- 6: ドレイン電極
- 7: オーミックコンタクト層
- 8: パシベーション膜

【0025】

【発明の効果】以上説明したように本発明は逆スタガー型チャネル掘込み構造の薄膜トランジスタにおいてアモルファスシリコン膜のアイランド層を膜質の良い第1アモルファスシリコン膜と成膜速度の速い第2アモルファスシリコン膜の複層構造とする事によりトランジスタ特性とスループットの双方を向上させる効果を有する。

【図面の簡単な説明】

【図1】本発明の1実施例の縦断面図。

【図2】本発明の異なる実施例の縦断面図。

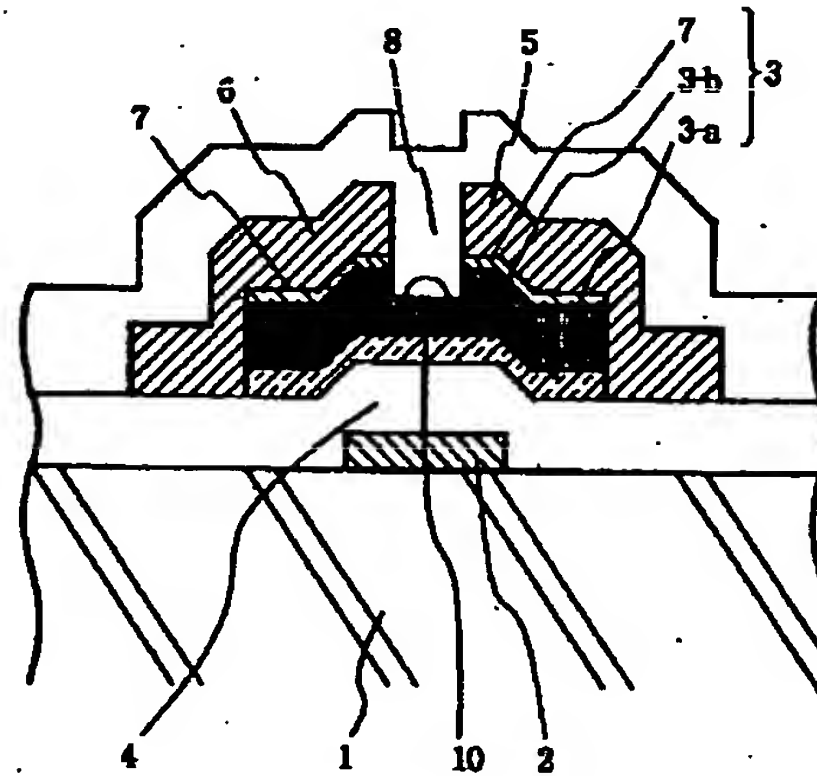
【図3】従来技術による薄膜トランジスタの縦断面図。

【図4】本発明の効果を示す薄膜トランジスタのゲート電圧-電流特性曲線図。

【符号の説明】

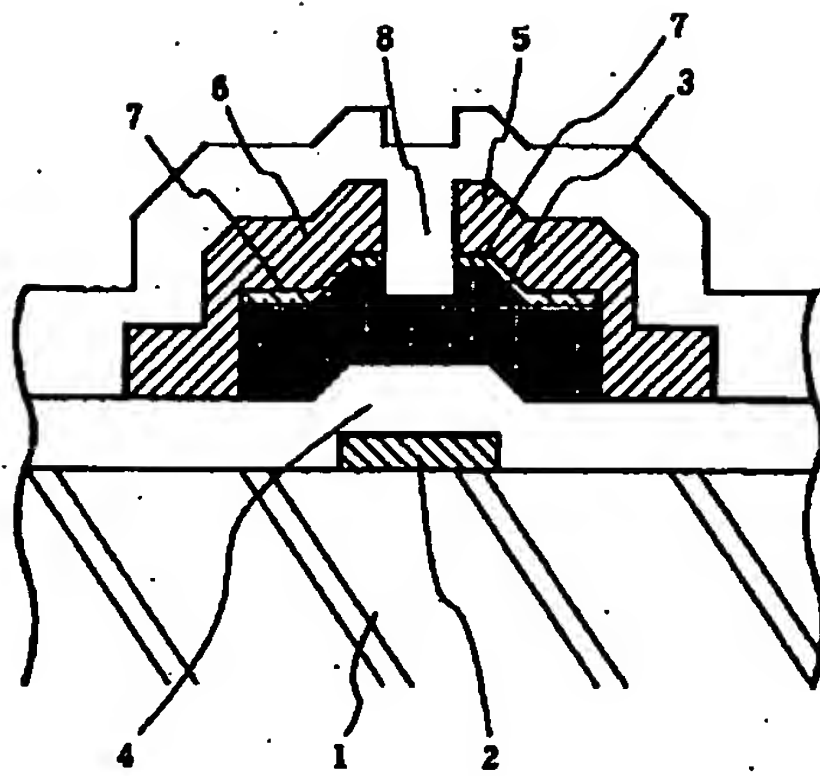
- 1 ガラス基板
- 2 ゲート電極
- 3-a 第1アモルファスシリコン層
- 3-b 第2アモルファスシリコン層
- 3 アイランド層
- 4 ゲート絶縁膜
- 5 ソース電極
- 6 ドレイン電極
- 7 オーミックコンタクト層
- 8 パシベーション膜
- 10 水素放電処理領域

【図2】



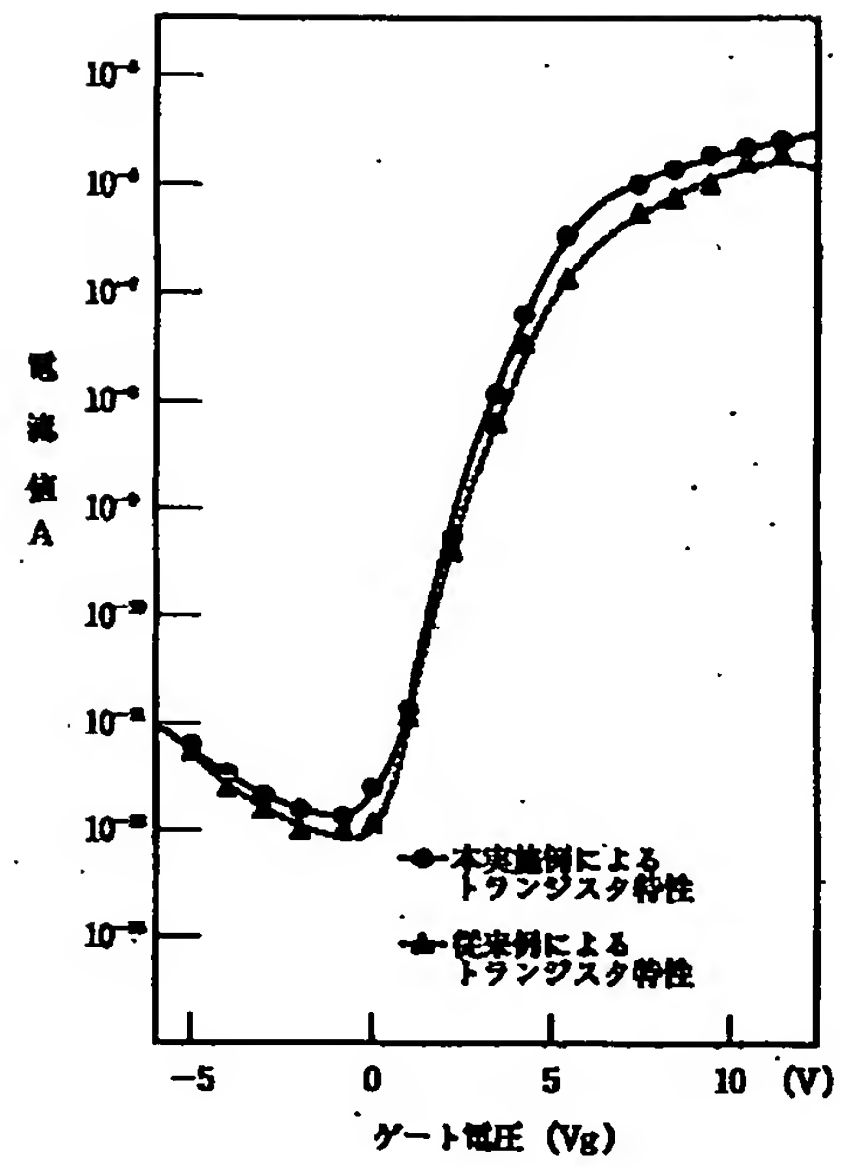
- 1: ガラス基板
- 2: ゲート電極
- 3a: 第1アモルファスシリコン層
- 3b: 第2アモルファスシリコン層
- 4: ゲート絶縁膜
- 5: ソース電極
- 6: ドレイン電極
- 7: オーミックコンタクト層
- 8: パシベーション膜
- 10: 水素放電処理領域

【図3】



- 1: ガラス基板
- 2: ゲート電極
- 3: アئرランド層
- 4: ゲート絶縁膜
- 5: ソース電極
- 6: ドレイン電極
- 7: オーミックコンタクト層
- 8: パッシベーション膜

【図4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.